

(43) 国際公開日
2006 年 3 月 9 日 (09.03.2006)

PCT

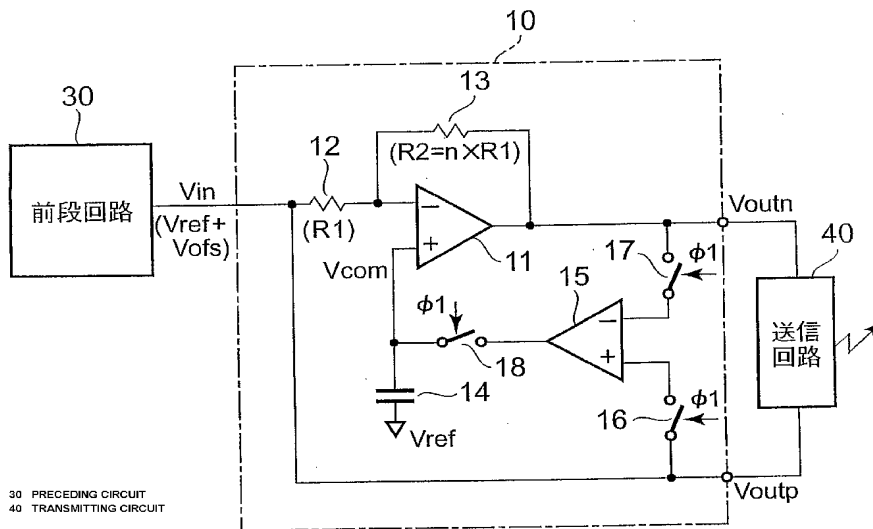
(10) 国際公開番号
WO 2006/025417 A1

- (51) 国際特許分類: *H03F 3/68* (2006.01) *H03F 3/34* (2006.01) 京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (21) 国際出願番号: PCT/JP2005/015822 (74) 代理人: 紋田 誠, 外(MONDA, Makoto et al.); 〒1010048 東京都千代田区神田司町 2-21-10 富士神田ビル 3 階 ミネルバ国際特許事務所 Tokyo (JP).
- (22) 国際出願日: 2005 年 8 月 24 日 (24.08.2005)
- (25) 国際出願の言語: 日本語 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2004-257702 2004 年 9 月 3 日 (03.09.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者; および (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
- (75) 発明者/出願人 (米国についてのみ): 千田 泰輔 (CHIDA, Taisuke) [JP/JP]; 〒6158585 京都府京都市右

[続葉有]

(54) Title: BALANCED OUTPUT CIRCUIT AND ELECTRONIC DEVICE USING THE SAME

(54) 発明の名称: 平衡出力回路及びそれを用いた電子機器

30 PRECEDING CIRCUIT
40 TRANSMITTING CIRCUIT

(57) Abstract: An input signal is outputted as a first output signal, while an inverting/amplifying circuit, which receives the input signal and a comparison voltage, is used to invert and amplify a voltage in accordance with the input signal to output it as a second output signal. Then, the first and second output signals are compared, and a capacitor is charged to control the comparison voltage in such a manner that the DC voltage of the second output signal is equal to the DC voltage of the first output signal. In this way, a simple circuit is used to surely cancel a DC offset voltage between the first output signal (non-inverted output signal) and the second output signal (inverted output signal).

(57) 要約: 入力信号を第 1 出力信号とすると共に、入力信号と比較電圧とが入力される反転増幅回路で入力信号に応じた電圧を反転増幅して第 2 出力信号とする。そして、第 1 出力信号と第 2 出力信号とを比較して、第 2 出力信号の

[続葉有]

WO 2006/025417 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

直流電圧が、第1出力信号の直流電圧に等しくなるように、コンデンサを充電して比較電圧を制御する。これにより、第1出力信号（非反転出力信号）と第2出力信号（反転出力信号）間の直流オフセット電圧を、簡易な回路で確実にキャンセルする。

明細書

平衡出力回路及びそれを用いた電子機器

5 技術分野

本発明は、非反転出力と反転出力を平衡して出力する平衡出力回路及びそれを用いた携帯電話機などの電子機器に関する。

背景技術

- 10 携帯電話機などのベースバンド信号送信出力部やBTL (Balanced Transformer Less) スピーカドライバなどでは、入力信号と同相の非反転出力と逆相の反転出力を平衡して出力する平衡出力回路が用いられる。

- 従来のオーディオ用電力増幅回路では、前段回路から結合用コンデンサを介した音声信号と、反転帰還信号とがBTL方式の増幅器に入力される。そのBTL方式増幅器では、その音声信号と反転帰還信号の差分に基準電圧を印加した増幅信号を、それ
15 ぞれ2つのBTL出力端子からスピーカに出力する。このBTL方式増幅器における2つのBTL出力端子からそれぞれ出力された増幅信号の電圧差を、差動増幅回路で検出する。ミラー積分回路によって、その増幅信号の電圧差に含まれる直流成分電圧を抽出するとともに、基準電圧を中心にして当該直流成分電圧に反比例した反転帰還
20 信号をBTL方式増幅器に帰還入力させる。これにより、BTL方式増幅器のBTL出力端子に発生する直流オフセット電圧を抑制するようにしている（特許文献1；特開平10-93365号公報）。

- この従来のものでは、前段回路からの音声信号を入力するために結合用コンデンサを必要としており、また反転及び非反転の2出力を持つBTL方式増幅器を必要とし
25 ており、さらに、このBTL方式増幅器で発生する直流オフセット電圧を抑制するための差動増幅回路やエラー積分回路などを必要としている。したがって、直流オフセ

ット電圧は抑制できるものの、そのための回路構成が複雑になり、また、このBTL方式増幅器が作り込まれるICのコストアップを招くという問題がある。

音声信号などの入力信号の反転出力信号と非反転出力信号とを発生するとともに、反転出力信号と非反転出力信号間の直流オフセット電圧を、簡易な回路で確実にキャンセルできる平衡出力回路を提供することを目的とする。また、前段回路とともにその平衡出力回路を備えた、携帯電話機などの電子機器を提供することを目的とする。

発明の開示

本発明の平衡出力回路は、前段回路30から入力される入力信号 V_{in} に応じた第1出力信号 V_{outp} と、この第1出力信号と反転した関係にある第2出力信号 V_{outn} とを出力する平衡出力回路であって、

コンデンサ14を有し、該コンデンサの充電電圧に応じた比較電圧 V_{com} を発生する比較電圧発生回路と、

前記入力信号に応じた電圧と前記比較電圧とが入力され、入力信号に応じた電圧を反転増幅して、前記第2出力信号を出力する反転増幅回路と、

前記第1出力信号と前記第2出力信号とに応じて、前記第2出力信号の直流電圧が、前記第1出力信号の直流電圧に等しくなるように、前記コンデンサを充電する充電回路とを備えることを特徴とする。

また、前記充電回路は、前記第1出力信号と前記第2出力信号とを比較して、前記第2出力信号の直流電圧が、前記第1出力信号の直流電圧に等しくなるように、前記比較電圧を制御する制御増幅回路とを備えることを特徴とする。

また、その平衡出力回路において、前記比較電圧 V_{com} は基準電圧 V_{ref} に前記コンデンサの充電電圧を重畳した電圧であり、

前記入力信号 V_{in} は、前記基準電圧 V_{ref} に直流オフセット電圧 V_{ofs} が重畳され得る信号であることを特徴とする。

また、前記制御増幅回路は、前記比較電圧 V_{com} を決定するための所定時間 $T1$

の間のみ動作されることを特徴とする。

また、前記制御増幅回路は、前記第 1 出力信号と前記第 2 出力信号とが入力される増幅器 15 と、該増幅器の増幅出力を前記コンデンサ 14 に供給する供給用スイッチ手段 18 とを有することを特徴とする。

- 5 また、前記コンデンサの電荷を放電するための放電用スイッチ手段 19 を有し、該放電用スイッチ手段は前記比較電圧を決定するに先立って、前記コンデンサの電荷を放電することを特徴とする。

また、前記放電用スイッチ手段によって、所定時間毎に或いは所定時間以内に前記コンデンサの電荷を放電して、前記比較電圧を再び決定することを特徴とする

- 10 また、前記入力信号を増幅して、前記第 1 出力信号を発生する入力増幅回路 20 を有することを特徴とする。

本発明の電子機器は、信号を処理すると共に、基準電圧 V_{ref} にオフセット電圧 V_{ofs} が重畳され得る直流電圧と信号成分とが合成されて出力される前段回路 30 と、該前段回路の出力が入力信号 V_{in} として入力される平衡出力回路 10 と、該平

- 15 衡出力回路によって駆動される負荷回路 50 を有することを特徴とする。

本発明によれば、反転増幅回路の比較電圧を制御増幅回路で制御することにより、反転出力信号と非反転出力信号間の直流オフセット電圧をキャンセルし、平衡出力を発生されることができる。

- 20 また、比較電圧は、コンデンサ及び反転増幅回路等の寄生容量や浮遊容量をも含めた、静電容量での充電電圧に応じて決まるから、オフセットキャンセルが確実に行える。また、コンデンサの容量を小さくできるから、本平衡出力回路が作り込まれる IC (LSI) のコストを低減することができる。

また、制御増幅回路は、交流信号が供給されていない、短時間 T_1 に成分比較電圧 V_{com} を決定するように動作させればよいから、コンデンサの容量を小さくできる。

図 1 は、本発明の第 1 実施例の平衡出力回路及びそれを用いた電子機器の構成を示す図である。

図 2 は、本発明によるオフセットキャンセル動作を説明する図である。

図 3 は、本発明の第 2 の実施例を示す平衡出力回路 10 A の構成を示す図である。

5 図 4 は、本発明の電子機器の実施例の構成を示す図である。

図 5 は、本発明の他の平衡出力回路の実施例を示す構成図である。

発明を実施するための最良の形態

以下、本発明の平衡出力回路及びそれを用いた携帯電話機などの電子機器の実施例
10 について、図を参照して説明する。なお、本発明の平衡出力回路や前段回路等は、LSI に作り込まれるので、半導体装置と言い換えてもよい。

図 1 は、本発明の第 1 実施例に係る平衡出力回路及びそれを用いた携帯電話機などの電子機器の構成を示す図である。これらは、携帯電話機用のベースバンド信号送信出力部や、BTLスピーカドライバ等、非反転出力信号及び反転出力信号を平衡して
15 出力する電気・電子装置に摘要できる。

図 1 において、前段回路 30 は、音声信号などの交流信号を処理すると共に、直流電圧である基準電圧 V_{ref} に交流信号である音声信号などが合成されて出力される。前段回路を構成する各種の回路要素の特性のバラツキなどにより、基準電圧 V_{ref} に直流オフセット電圧 V_{ofs} が重畳されて出力されることもしばしば発生する。即
20 ち、基準電圧 $V_{ref} +$ 直流オフセット電圧 V_{ofs} 、の重畳直流電圧となる。この重畳直流電圧もしくは、この重畳直流電圧に交流信号が合成されて、次段の平衡出力回路 10 に入力信号 V_{in} として入力される。

本発明の平衡出力回路 10 では、結合用コンデンサを介することなく、前段回路 30 から入力信号が直接入力される。また、入力信号 V_{in} を第 1 出力信号 V_{outp}
25 として、直接出力すると共に、入力信号 V_{in} を反転増幅回路を介して、第 1 出力信号 V_{outp} と反転した関係にある第 2 出力信号 V_{outn} を出力する。

したがって、結合用コンデンサが不要であり、且つ第2出力信号 V_{outn} のみを生成すればよいから、基本的に簡易に構成できる。勿論、平衡出力回路であるから、非反転出力信号である第1出力信号 V_{outp} と反転出力信号である第2出力信号 V_{outn} 間の直流オフセット電圧をキャンセルして、平衡出力を発生させるように構成されている。

反転増幅回路は、2入力差動増幅器を用いた演算増幅器11と、その反転入力端に接続された入力抵抗12と、その反転入力端と出力端との間に接続された帰還抵抗13とを含んで構成されている。勿論、その他に交流成分帰還用の回路構成等が設けられてもよいが、説明を簡単にするためにそれらは省略している。入力抵抗12の抵抗値は R_1 であり、帰還抵抗13の抵抗値は R_2 ($=n \times R_1$) である。この係数 n は任意の大きさでよいが、係数 n を1とする場合には第2出力信号 V_{outn} の交流成分の大きさを、第1出力信号 V_{outp} の交流成分の大きさと等しくできる。

演算増幅器11の非反転入力端+には、基準電圧 V_{ref} に、オフセットキャンセル電圧のための電荷が充電されるコンデンサ14の充電電圧 V_c が重畳された、比較電圧 V_{com} が入力される。このコンデンサ14を含んで比較電圧発生回路が構成されている。

この基準電圧 V_{ref} はこの実施例において、前段回路30における基準電圧 V_{ref} と共通するものであり、これら平衡出力回路10における電源電圧 V_{dd} の半分の電圧であることがよい。即ち、 $V_{ref} = V_{dd} \times 1/2$ 。なお、電源電圧が、正負電源からなる場合には、基準電圧は、中間電位のグランド電位でよい。

制御増幅回路は、2入力差動増幅器用いた演算増幅器15と、第1出力信号 V_{outp} 点と演算増幅器15の非反転入力端+間に接続された第1スイッチ16と、第2出力信号 V_{outn} 点と演算増幅器15の反転入力端-間に接続された第2スイッチ17と、演算増幅器15の出力端とコンデンサ14からの比較電圧 V_{com} 点間に接続された第3スイッチ18とを含んでいる。

これら第1～第3スイッチ16～18は、MOSトランジスタなどのトランジスタ

によって構成されることがよく、オフセットキャンセル信号 $\phi 1$ によってオンあるいはオフ状態に制御される。この例では、第1～第3スイッチ16～18は、オフセットキャンセル信号 $\phi 1$ が高（H）レベルの時にオンする。

5 送信回路40は、例えば、第1出力信号 V_{outp} と第2出力信号 V_{outn} 間の平衡出力により駆動される、携帯電話機用のベースバンド信号送信出力部のものである。この送信回路に代えて、BTLスピーカドライバ等により駆動されるスピーカなどの、平衡出力が供給されるものでもよい。

10 前段回路30から平衡出力回路10に入力される入力信号 V_{in} に、直流オフセット電圧 V_{ofs} が含まれてなく基準電圧 V_{ref} だけが平衡出力回路10に入力される場合には、第1出力信号 V_{outp} の直流電圧は基準電圧 V_{ref} である。一方、コンデンサ14の電圧 V_c が最初は零であるとする、比較電圧 V_{com} は基準電圧 V_{ref} に等しいから、演算増幅器11の出力端の電圧、即ち第2出力信号 V_{outn} の直流電圧はやはり基準電圧 V_{ref} である。

15 この場合、制御増幅回路の演算増幅器15を動作させてたとしても、この状態に変化は現れない。したがって、反転出力信号である第2出力信号 V_{outn} と非反転出力信号である第1出力信号 V_{outp} 間の直流オフセット電圧は零であり、平衡出力を発生させることができる。

20 さて、前段回路30から平衡出力回路10に入力される入力信号 V_{in} の直流電圧に直流オフセット電圧 V_{ofs} が含まれて基準電圧 V_{ref} に重畳されて平衡出力回路10に入力される場合を想定する。この場合には、本発明によるオフセットキャンセル動作が行われる。この場合の動作を、図2を参照して説明する。

平衡出力回路10に、基準電圧 V_{ref} に直流オフセット電圧 V_{ofs} が重畳して入力されると、その直流電圧が第1出力信号 V_{outp} として出力される。

25 図2の時点 t_1 までの期間 T_0 は、オフセットキャンセル信号 $\phi 1$ は低（L）レベルにあり、第1～第3スイッチ16～18がオフしている。この状態の時、比較電圧 V_{com} は基準電圧 V_{ref} であり、演算増幅器11において入力信号 V_{in} が帰還

増幅される結果、第2出力信号 V_{outn} は基準電圧 V_{ref} から直流オフセット電圧 V_{ofs} を n 倍した電圧だけ低い電圧になっている。 $V_{outn} = V_{ref} - n \times V_{ofs}$ 。

5 時点 t_1 において、オフセットキャンセル信号 ϕ_1 がHレベルになると、第1～第3スイッチ16～18がオンし、演算増幅器15の出力によってコンデンサ14が充電されていく。基準電圧 V_{ref} にコンデンサ14の充電電圧が加算された比較電圧 V_{com} は、直流入力電圧 $V_{ref} + V_{ofs}$ に等しくなるように変化する。比較電圧 V_{com} が直流入力電圧に等しくなると、第2出力信号 V_{outn} は第1出力信号 V_{outp} に等しくなる。即ち、反転増幅回路の比較電圧 V_{com} を制御増幅回路で
10 制御することにより、第1出力信号 V_{outp} と第2出力信号 V_{outn} 間の直流オフセット電圧はキャンセルされ、平衡出力が発生される。

そのオフセットキャンセル動作が行われた期間 T_1 の終了の時点 t_2 で、オフセットキャンセル信号 ϕ_1 をLレベルに戻し、制御増幅回路の動作を停止させる。

15 制御増幅回路の動作が停止されている状態では、スイッチ16～18はオフされているから、コンデンサ14の充電電荷は、わずかな自然放電の他は放電されることなく、その状態を維持する。したがって、コンデンサ14は、小さな静電容量のもので構成することが出来る。また、演算増幅器11やその周辺回路に、寄生静電容量や浮遊静電容量が必然的に存在するが、それらの寄生静電容量等も含めてコンデンサ14と共に同電圧に充電される。したがって、それらの寄生静電容量や浮遊静電容量が
20 フセットキャンセル動作に誤差を与えることもない。

そして、オフセットキャンセル動作の終了後の時点 t_3 で、直流電圧に交流の音声信号を合成した入力信号 V_{in} を入力する。時点 t_3 以後の期間 T_2 で、音声信号が第1出力信号 V_{outp} と第2出力信号 V_{outn} に逆位相で発生されるから、送信回路40には、その差分の信号電圧が印加され、BTL駆動されることになる。

25 このように、交流の音声信号が供給されていない状態で、第1出力信号 V_{outp} と第2出力信号 V_{outn} 間の直流オフセット電圧をキャンセルする。これにより、

制御増幅回路は、短時間 T_1 内に比較電圧 V_{com} を決定するように動作させればよい。したがって、さらにコンデンサの静電容量を小さくできる。

なお、第 1、第 2 スイッチ 16, 17 は省略して、第 1 出力信号 V_{outp} 及び第 2 出力信号 V_{outn} を演算増幅器 15 に直接入力するようにしてもよい。

- 5 また、以上の説明では、直流オフセット電圧 V_{ofs} を正電圧として説明したが、負電圧の場合にも、勿論同様に動作が行われる。

図 3 は、本発明の第 2 の実施例を示す平衡出力回路 10A の構成を示す図である。この図 3 では、コンデンサ 14 に並列に、放電用のスイッチ 19 を接続している。この放電用スイッチ 19 は、MOS トランジスタなどのトランジスタで構成され、ディ
10 スチャージ信号 ϕ_2 によって、オンあるいはオフに制御される。

コンデンサ 14 にオフセットキャンセルするだけの電荷が充電されている状態で、ある程度以上の時間が経過すると、少しずつコンデンサ 14 の電荷が自然放電していき、オフセットキャンセル動作に誤差が発生してくる可能性がある。

- このような状態を防止するために、ある所定の時間毎に、あるいは所定時間以内に、
15 オフセットキャンセル動作を、改めて行うことが望ましい。そのような場合に、スイッチ 19 を短時間だけ、ディスチャージ信号 ϕ_2 によってオンして、コンデンサ 14 の電荷を一旦放電する。その後、改めて、図 1, 図 2 で説明したような、オフセットキャンセル動作を行う。

- 特に、本発明の平衡出力回路 10、10A が TDMA（時分割多重通信）方式の変
20 調波送信回路等に用いられる場合には、数ミリ秒程度のバースト送信毎にオフセットキャンセル動作を行うようにすることがよい。この場合には、少なくともそのバースト送信期間だけはオフセットキャンセル動作値を保持できればよい。

- したがって、コンデンサ 14 の静電容量は極めて小さくできる。また、バースト送信に先立って、スイッチ 19 を用いてコンデンサ 14 の充電電荷の放電、即ちリセッ
25 トと、オフセットキャンセル動作を行うことでよい。

図 4 は、本発明の電子機器、例えば携帯電話機の実施例の構成を示す図である。

この図4において、平衡出力回路10Bは、入力増幅回路20を備える場合の例を示している。この入力増幅回路20は、差動増幅器例えば、演算増幅器21の非反転入力端子+に入力信号 V_{in} が入力される。その出力端の電圧を抵抗22，抵抗23からなる分圧回路で分圧して、その分圧電圧を演算増幅器21の反転入力端子-に入力する。分圧抵抗器23の他端は、基準電圧 V_{ref} 点に接続されている。これにより、入力信号 V_{in} が増幅されて出力される。

したがって、入力信号 V_{in} の信号レベルが希望レベルよりも低いときに、入力信号 V_{in} を増幅して、所要レベルの平衡出力信号 V_{outp} 、 V_{outn} を得ることができる。この場合にも、図1などと同様に、第1出力信号 V_{outp} と第2出力信号 V_{outn} 間の直流オフセット電圧はキャンセルされる。

この図4の電子機器の例では、音声信号などのデジタル信号 D_{in} （例えば、10ビット）が入力されてくる。そのデジタル信号 D_{in} をデジタル・アナログ変換器（D/A変換器）31でアナログ信号に変換し、そのアナログ信号を例えばバタワース特性を有する低域通過フィルタ（LPF）32でフィルタリングする。このバタワースタイプのLPF32は、演算増幅器や抵抗、コンデンサを用い、基準電圧 V_{ref} を基準として動作するもので、例えば4次のバタワース特性のLPFが好適に用いられる。

このLPF32からの入力信号 V_{in} は、音声信号と直流電圧が合成されており、その直流電圧は基準電圧 V_{ref} に直流オフセット電圧 V_{ofs} が重畳され得る。その直流オフセット電圧 V_{ofs} に応じて第2出力信号 V_{outn} を反転増幅し、第1出力信号 V_{outp} と第2出力信号 V_{outn} 間の直流オフセット電圧をキャンセルして、平衡出力をスピーカ50に供給する。

なお、入力増幅回路20は、平衡出力回路10の外部に設けてもよい。この場合には、D/A変換器31、LPF32、入力増幅回路20等が前段回路30になる。

このスピーカ50に代えて、図1のような送信回路40としてもよく、携帯電話機などの電子機器のための平衡出力回路を、簡易な構成とすることができ、且つ、確實

に第1出力信号 V_{outp} と第2出力信号 V_{outn} 間の直流オフセット電圧をキャンセルできる。

図5は、本発明の他の平衡出力回路10Cの実施例を示す構成図である。この図5では、図1の演算増幅器15に代えて、第1出力信号 V_{outp} と第2出力信号 V_{outn} 間の midpoint 電圧を作り出す抵抗分圧回路を備えている。この抵抗分圧回路は、抵抗15-1と抵抗15-2との直列接続回路から構成されており、その抵抗15-1, 15-2の直列接続点が第3スイッチ18の一端に接続されている。なお、第1、第2スイッチ16, 17は省略して、第1出力信号 V_{outp} 及び第2出力信号 V_{outn} を抵抗15-1, 15-2に直接入力するようにしてもよい。その他の構成や作用は図1におけるものと同様である。この図5の平衡出力回路によれば、より簡単な回路構成によって、図1の第1実施例と同様の効果を得ることができる。

産業上の利用可能性

本発明に係る平衡出力回路は、音声信号などの入力信号の反転出力信号と非反転出力信号とを発生するとともに、反転出力信号と非反転出力信号間の直流オフセット電圧を、簡易な回路で確実にキャンセルできる。この平衡出力回路を前段回路と組み合わせて、携帯電話機などの電子機器を好適に構成できる。

請求の範囲

1. 前段回路から入力される入力信号に応じた第1出力信号と、この第1出力信号と反転した関係にある第2出力信号とを出力する平衡出力回路であって、

5 コンデンサを有し、該コンデンサの充電電圧に応じた比較電圧を発生する比較電圧発生回路と、

前記入力信号に応じた電圧と前記比較電圧とが入力され、入力信号に応じた電圧を反転増幅して、前記第2出力信号を出力する反転増幅回路と、

前記第1出力信号と前記第2出力信号とに応じて、前記第2出力信号の直流電圧が、
10 前記第1出力信号の直流電圧に等しくなるように、前記コンデンサを充電する充電回路とを備えることを特徴とする、平衡出力回路。

2. 前記充電回路は、前記第1出力信号と前記第2出力信号とを比較して、前記第2出力信号の直流電圧が、前記第1出力信号の直流電圧に等しくなるように、前記比較電圧を制御する制御増幅回路とを備えることを特徴とする、請求項1に記載の平衡出力回路。
15

3. 前記比較電圧は基準電圧に前記コンデンサの充電電圧を重畳した電圧であり、
前記入力信号は、前記基準電圧に直流オフセット電圧が重畳され得る信号であること
20 とを特徴とする、請求項2に記載の平衡出力回路。

4. 前記制御増幅回路は、前記第1出力信号と前記第2出力信号とが入力される増幅器と、該増幅器の増幅出力を前記コンデンサに供給する供給用スイッチ手段とを有することを特徴とする、請求項3に記載の平衡出力回路。

25

5. 前記コンデンサの電荷を放電するための放電用スイッチ手段を有し、該放電用

スイッチ手段は前記比較電圧を決定するに先立って、前記コンデンサの電荷を放電することを特徴とする、請求項 4 に記載の平衡出力回路。

6. 前記放電用スイッチ手段によって、所定時間毎に或いは所定時間以内に前記コンデンサの電荷を放電して、前記比較電圧を再び決定することを特徴とする請求項 5 に記載の平衡出力回路。

7. 前記制御増幅回路は、前記比較電圧を決定するための所定時間の間のみ動作されることを特徴とする、請求項 3 に記載の平衡出力回路。

10

8. 前記制御増幅回路は、前記第 1 出力信号と前記第 2 出力信号とが入力される増幅器と、該増幅器の増幅出力を前記コンデンサに供給する供給用スイッチ手段とを有することを特徴とする、請求項 7 に記載の平衡出力回路。

15 9. 前記コンデンサの電荷を放電するための放電用スイッチ手段を有し、該放電用スイッチ手段は前記比較電圧を決定するに先立って、前記コンデンサの電荷を放電することを特徴とする、請求項 8 に記載の平衡出力回路。

20 10. 前記制御増幅回路は、前記比較電圧を決定するための所定時間の間のみ動作されることを特徴とする、請求項 2 に記載の平衡出力回路。

11. 前記入力信号を増幅して、前記第 1 出力信号を発生する入力増幅回路を有することを特徴とする、請求項 1 に記載の平衡出力回路。

25 12. 信号を処理すると共に、基準電圧にオフセット電圧が重畳され得る直流電圧と信号成分とが合成されて出力される前段回路と、該前段回路の出力が入力信号とし

て入力される請求項 1 ～ 11 のいずれかに記載された平衡出力回路と、該平衡出力回路によって駆動される負荷回路を有することを特徴とする、電子機器。

图 1

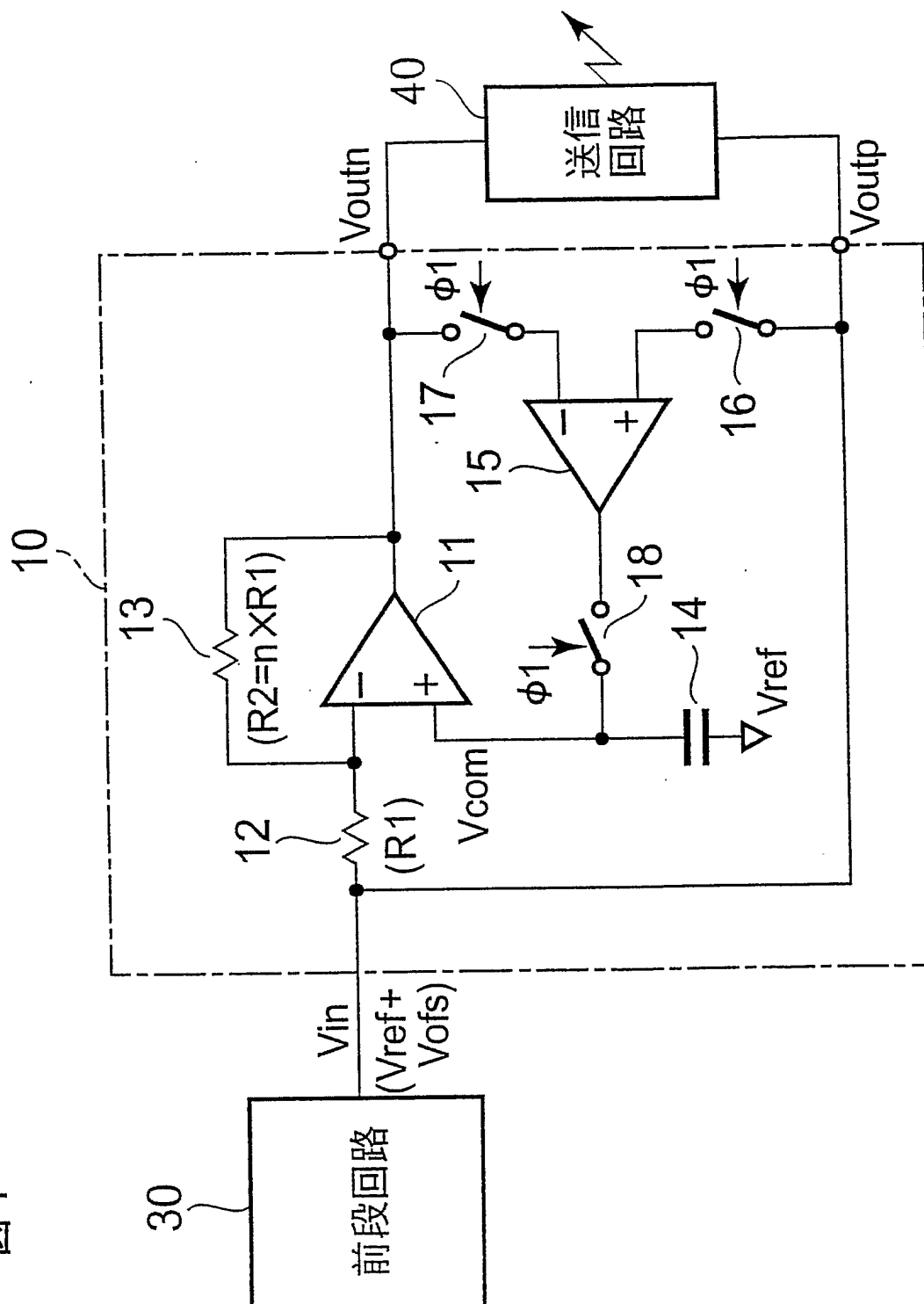
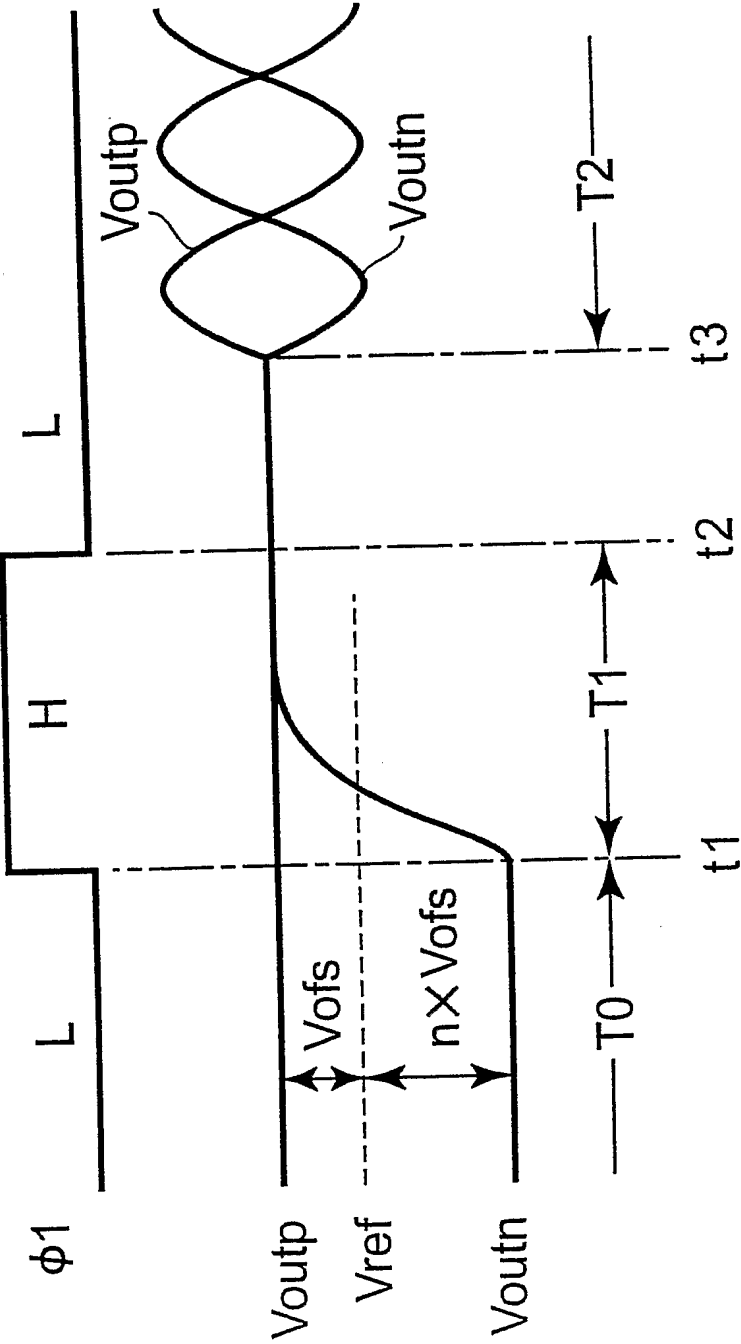


図 2



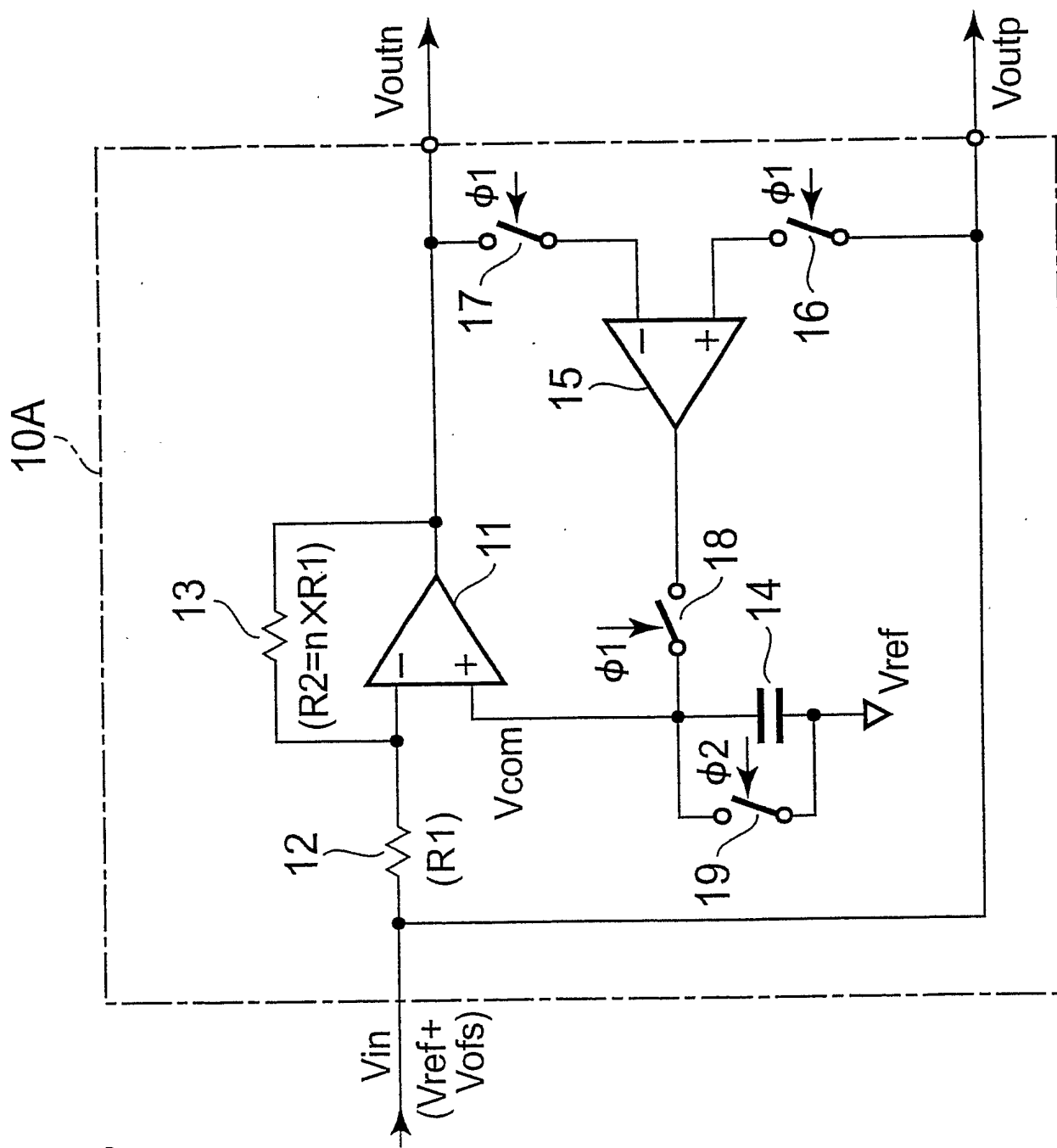

 3

図 4

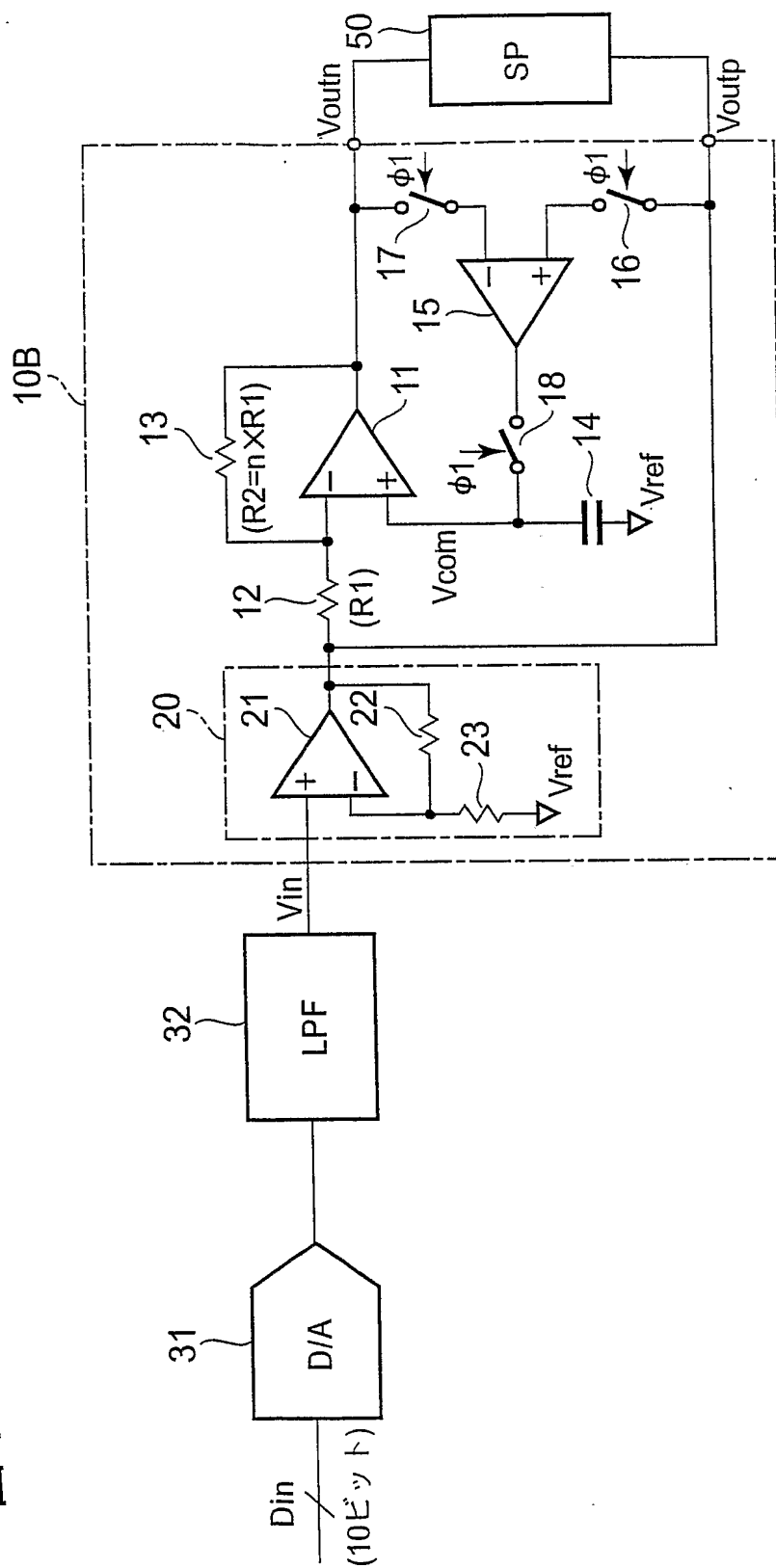
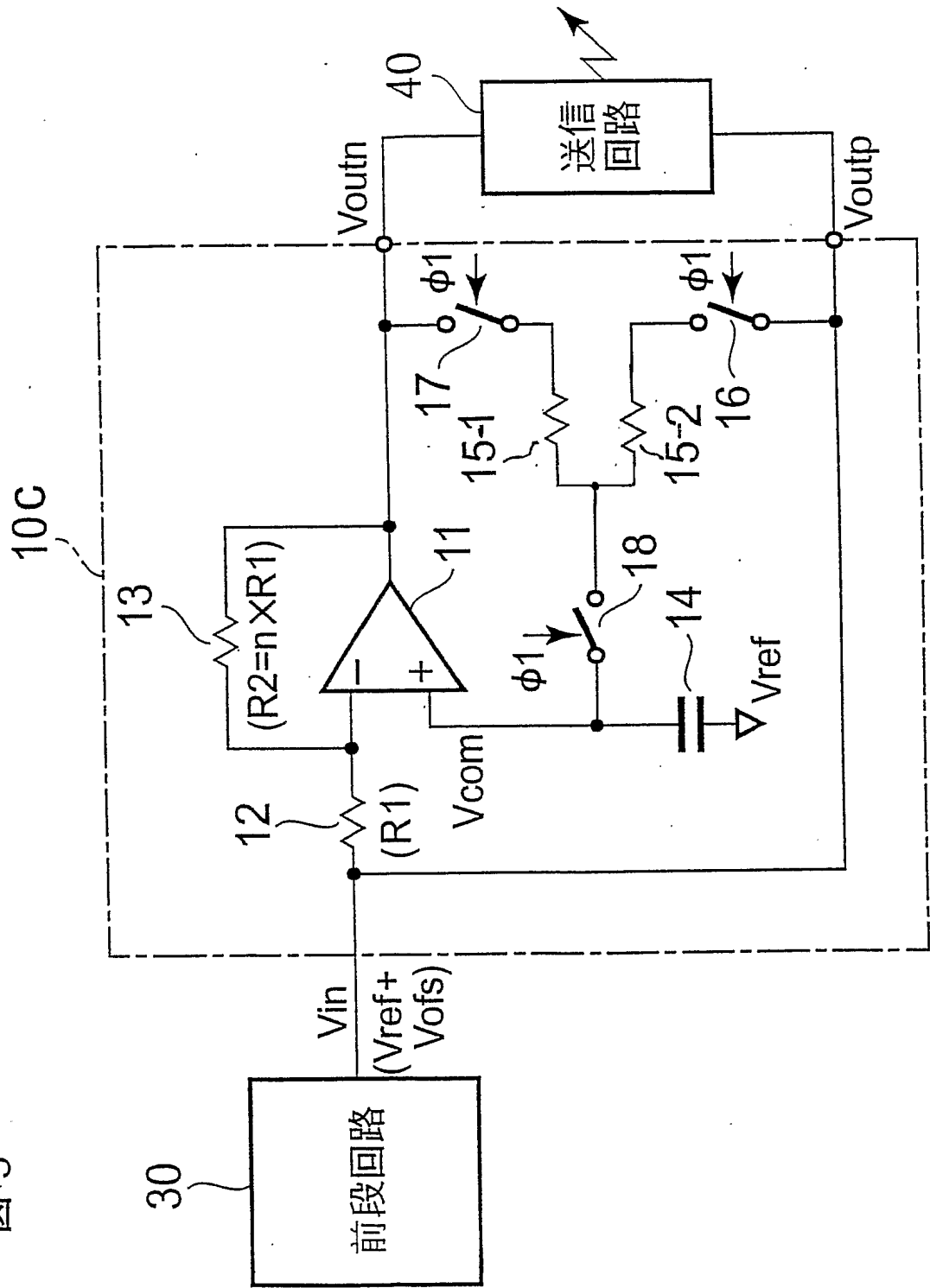


图 5



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/015822

A. CLASSIFICATION OF SUBJECT MATTER

H03F3/68 (2006.01), **H03F3/34** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F3/68 (2006.01), **H03F3/34** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005

Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 60-500395 A (Western Electric Co., Inc.), 22 March, 1985 (22.03.85), Fig. 5 & US 4509019 A & EP 134221 A & WO 84/03009 A1	1-12
Y	JP 2000-4129 A (Toshiba Corp., et al.), 07 January, 2000 (07.01.00), Par. Nos. [0028] to [0053]; Figs. 1, 2 (Family: none)	1-12
Y	JP 2001-326545 A (Mitsubishi Electric Corp.), 22 November, 2001 (22.11.01), Claims 1, 2; Par. Nos. [0040], [0042] (Family: none)	5, 6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

24 November, 2005 (24.11.05)

Date of mailing of the international search report

06 December, 2005 (06.12.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/015822

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-252770 A (Kabushiki Kaisha ACT LSI), 14 September, 2000 (14.09.00), Abstract; Par. Nos. [0040], [0041] (Family: none)	7, 10

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03F3/68 (2006.01), H03F3/34 (2006.01)			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03F3/68 (2006.01), H03F3/34 (2006.01)			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	J P 60-500395 A (ウエスタン エレクトリック カムpany, インコーポレーテッド) 1985.03.22, 第5 図 & US 4509019 A & EP 134221 A & WO 84/03009 A1	1-12	
Y	J P 2000-4129 A (株式会社東芝 外1名) 2000.01.07, 【0028】-【0053】、第1図、第2図 (ファミリーなし)	1-12	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 24.11.2005		国際調査報告の発送日 06.12.2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 野元 久道 電話番号 03-3581-1101 内線 3576	5W 9184

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2001-326545 A (三菱電機株式会社) 2001.11.22, 特許請求の範囲請求項1, 2, 【0040】, 【0042】 (ファミリーなし)	5, 6
Y	J P 2000-252770 A (株式会社エーシーティー・エルエスアイ) 2000.09.14, 要約, 【0040】, 【0041】 (ファミリーなし)	7, 10